

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-312714
 (43)Date of publication of application : 28.11.1995

(51)Int.Cl. H04N 5/228
 H04N 5/225
 H04N 9/07

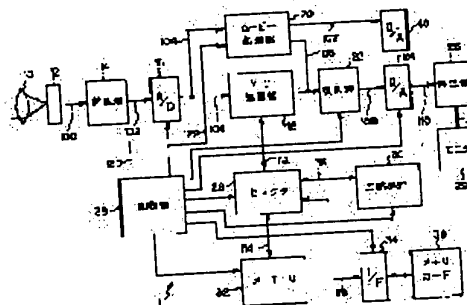
(21)Application number : 06-105097 (71)Applicant : FUJI PHOTO FILM CO LTD
 (22)Date of filing : 19.05.1994 (72)Inventor : HAYASHI KENKICHI

(54) ELECTRONIC STILL CAMERA

(57)Abstract:

PURPOSE: To improve the operation effect such as the adjustment of a field angle by converting a high resolution image signal into the NTSC system image signal in the case of image pickup by the high resolution electronic still camera and displaying the signal on a monitor in real time.

CONSTITUTION: A picture element signal obtained by scanning an image formed on a high resolution CCD 12 is given to a pre-processing circuit 14, in which the signal is amplified to a prescribed level and image-processed and the result is fed to an A/D converter 16, which converts the signal into a digital value and it is stored in a frame memory. A control section 38 uses a control signal 120 to read picture element data from the memory while interleaving the data, the data are subjected to multiplication and addition processing to set the data to have a prescribed picture element arrangement and the result is fed to a YC processing section 18, in which the data are converted into a data form comprising a luminance signal Y and color difference signals C, and they are fed to a compression processing circuit. Then the profile of the Y data is corrected and the color of the C data is corrected, a D/A converter 24 converts the data into analog data, which are fed to a reproduction section 26, in which the NTSC system video signal is displayed on a monitor 29. Thus, even the picture element data with high resolution are displayed on a monitor with the standard resolution.



LEGAL STATUS

[Date of request for examination]

30.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3429061
[Date of registration] 16.05.2003
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

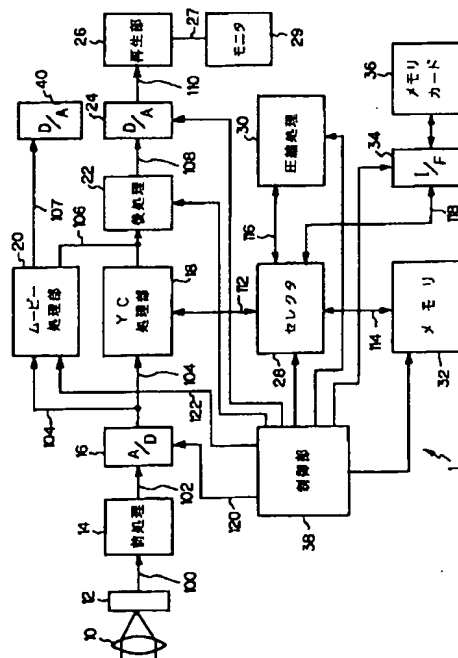
(11)特許出願公開番号

(43)公開日 平成7年(1995)11月28日

技術表示箇所

Z
B
A

(74) 代理人 弁理士 香取 孝雄



【特許請求の範囲】

【請求項1】 被写体を撮像して該被写体の画像を表わす高解像度の第1の画像信号を出力する撮像手段を有し、第1の画像信号を記録媒体に記録する電子スチルカメラにおいて、該カメラは、前記第1の画像信号を間引いて低解像度の第2の画像信号に変換する処理手段と、該第2の画像信号を実時間で出力する出力端子とを有することを特徴とする電子スチルカメラ。

【請求項2】 請求項1に記載の電子スチルカメラにおいて、該カメラはさらに、前記出力端子からの第2の画像信号の映像を表示する映像モニタのビューファインダを備えることを特徴とする電子スチルカメラ。

【請求項3】 被写体を撮像する高解像度の撮像手段にて被写体像の高解像度の画素データを記録媒体に記録する電子スチルカメラにおいて、該カメラは、前記撮像手段は、少なくとも水平走査線方向に予め決められた複数の色を所定の色順序で繰り返し配列した画素データを出力するものであり、前記撮像手段から出力される高解像度の画素データを間引いて低解像度の画素データに変換する処理手段と、該処理手段からの低解像度の画素データを実時間で出力する出力端子と、該出力端子からの低解像度の画素データの映像を表示する映像モニタのビューファインダとを有することを特徴とする電子スチルカメラ。

【請求項4】 請求項2または3に記載の電子スチルカメラにおいて、該カメラはさらに、前記出力端子と前記ビューファインダを有線接続する手段を有することを特徴とする電子スチルカメラ。

【請求項5】 請求項2または3に記載の電子スチルカメラにおいて、該カメラはさらに、前記出力端子と前記ビューファインダを無線接続する手段を有することを特徴とする電子スチルカメラ。

【請求項6】 請求項2または3に記載の電子スチルカメラにおいて、前記ビューファインダは、NTSC、PAL、SECAM方式のいずれかのモニタ装置あるいは525/60、625/50方式のいずれかのRGB モニタ装置であることを特徴とする電子スチルカメラ。

【請求項7】 請求項3に記載の電子スチルカメラにおいて、前記撮像手段の前記予め決められた複数の色は、少なくとも赤色Rを表す第1の色と緑色Gを表す第2の色、あるいは緑色Gを表す第2の色と青色Bを表す第3の色を含むものであり、前記処理手段は、前記撮像手段から水平走査線方向に少なくとも赤色Rを表す第1の色と緑色Gを表す第2の色、あるいは緑色Gを表す第2の色と青色Bを表す第3の色を所定の色順序で繰り返し配列した画素データを入

力し、所定の間引き制御信号に基づき該撮像手段からの画素データを間引き、該間引きにより少なくとも水平走査線方向に予め決められた複数の色で所定の色順序で繰り返し配列した画素データを出力する画素間引き手段と、

該画素間引き手段から水平走査線方向に予め決められた複数の色で所定の色順序で繰り返し配列した画素データを入力し、所定の画素補間制御信号に基づき少なくとも入力する所定の位置の所定の色と異なる所定の色の該所定の位置の画素データを生成し、該所定の位置での赤色Rを表す第1の色、緑色Gを表す第2の色、および青色Bを表す第3の色の画素データを出力する画素補間手段と、

該画素補間手段からの画素データを一時蓄積する第1の蓄積手段と、

該第1の蓄積手段を制御し、前記画素間引き手段への間引き制御信号を含む制御信号、および前記画素補間手段への画素補間制御信号を含む制御信号を生成し出力する第1の制御手段と、

前記第1の蓄積手段への読み出し制御信号を生成し出力する第2の制御手段とを含み、

前記第2の制御手段は、前記第1の蓄積手段に読み出し制御信号を送り、該第1の蓄積手段に蓄積した赤色Rを表す第1の色、緑色Gを表す第2の色、および青色Bを表す第3の色の画素データを読み出し、該読み出した画素データを前記出力端子を介して前記ビューファインダへ送ることを特徴とする電子スチルカメラ。

【請求項8】 請求項7に記載の電子スチルカメラにおいて、前記処理手段はさらに、前記第1の蓄積手段から赤色Rを表す第1の色、緑色Gを表す第2の色、および青色Bを表す第3の色の画素データを入力し、所定の交換制御信号に基づき少なくとも該第1の蓄積手段からの所定の位置の赤色Rを表す第1の色、緑色Gを表す第2の色、および青色Bを表す第3の色の画素データから該所定の位置の輝度信号データY、色差信号データR-Y、および色差信号データB-Yを生成する色信号変換手段と、前記色信号変換手段への所定の交換制御信号を含む制御信号を生成する第3の制御手段とを含み、

前記第3の制御手段は、前記色信号変換手段を制御し、輝度信号データY、色差信号データR-Y、および色差信号データB-Yを前記出力端子を介して前記ビューファインダへ送ることを特徴とする電子スチルカメラ。

【請求項9】 請求項7に記載の電子スチルカメラにおいて、前記処理手段はさらに、前記画素補間手段からの画素データを一時蓄積する第2の蓄積手段を含み、前記画素補間手段により処理された画素データを前記第1の制御手段の制御により第1の蓄積手段に蓄積中は、前記第2の制御手段の制御により第2の蓄積手段に蓄積した画素データを読み出すことを特徴とする電子スチルカメラ。

【請求項10】 請求項7に記載の電子スチルカメラにおいて、前記画素間引き手段は、前記撮像手段から水平走査線方向に少なくとも赤色Rを表す第1の色と緑色Gを表す第2の色、あるいは緑色Gを表す第2の色と青色Bを表す第3の色を所定の色順序で繰り返し配列した画素データを入力し、該入力した所定の位置の画素データに所定の係数を掛け、その結果を出力する乗算手段と、該乗算手段から画素データを入力し、該入力した画素データの所定の位置の所定の色の画素データと該所定の位置の所定の色の画素データと異なる別の所定の位置の所定の色の画素データとを加算して補間画素データを生成し、該生成した補間画素データを出力する加算手段とを含むことを特徴とする電子スチルカメラ。

【請求項11】 請求項1ないし9のいずれかに記載の電子スチルカメラにおいて、前記撮像手段は、高解像度のCCDであることを特徴とする電子スチルカメラ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、被写体を撮像して半導体メモリカード等のメモリ装置に高解像度の画像信号を記憶する電子スチルカメラに係り、特に、たとえば撮影時の高解像度の被写体画像の映像をモニタに実時間で表示する電子スチルカメラに関するものである。

【0002】

【従来の技術】 従来、スチルカメラといえば一般に、銀塩感光材を塗布したフィルムを画像の記録媒体とした装置が知られている。しかし最近、半導体メモリカードを記録媒体とし、カメラにて撮像された画像信号をデジタル信号形式で記憶を行う電子スチルカメラが市販されている。このような電子スチルカメラの撮像素子には、標準解像度の画像が得られる、たとえば約40万画素のCCDが一般的に用いられている。またごく最近では、用途により高解像度の画像のニーズもあり、たとえば約130万画素のCCDを用いた電子スチルカメラも提案されている。

【0003】 しかし、このような高解像度の電子スチルカメラにおいて、被写体の高解像度の画像をモニタする場合には、たとえば、高価で、広いスペースを必要とするHDTV受像機のような高解像度のモニタが用いられる。

【0004】 また、このような電子スチルカメラにおいて、たとえば、撮影する被写体へのカメラの角度、すなわち画角の調整は、一般的にカメラに取り付けられた光学ビューファインダを通して行っている。

【0005】

【発明が解決しようとする課題】 しかしながら、従来の電子スチルカメラでは、画角などの調整は光学ビューファインダを見ながら行う必要があり、そのため画角などの遠隔操作を行うことができず不便であるという問題点があった。

【0006】 また、高解像度の電子スチルカメラの場合、

たとえば130万の画素からなる高解像度信号でモニタ画像を再生するには、高解像度のモニタが必要であるばかりでなくその再生に時間かかり、リアルタイム再生できず、したがってカメラのビューファインダに適していないという問題点があった。さらに、高解像度の被写体の画像のモニタとして、たとえばHDTV受像機のようなモニタを用いた場合、モニタの価格が高価になること、モニタのスペースが広くなること、モニタの消費電力も大きくなることなどの問題点があった。さらに、また、このような高解像度の電子スチルカメラでは、被写体の画像情報をそのままに、たとえばNTSC方式のカラー受像機のような標準解像度のモニタなどに表示することができないという問題点もあった。

【0007】 本発明はこのような従来技術の欠点を解消し、高解像度の電子スチルカメラの被写体の画像をリアルタイム再生できないという問題点を解消することのできる電子スチルカメラを提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明は上述の課題を解決するために、被写体を撮像してこの被写体の画像を表わす高解像度の第1の画像信号を出力する撮像手段を有し、第1の画像信号を記録媒体に記録する電子スチルカメラにおいて、このカメラは、第1の画像信号を間引いて低解像度の第2の画像信号に変換する処理手段と、この第2の画像信号を実時間で出力する出力端子とを有する。このカメラは、出力端子からの第2の画像信号の映像を表示する映像モニタのビューファインダを備えている。

【0009】 さらに、被写体を撮像する高解像度の撮像手段にて被写体像の高解像度の画素データを記録媒体に記録する電子スチルカメラにおいて、このカメラの撮像手段は、少なくとも水平走査線方向に予め決められた複数の色を所定の色順序で繰り返し配列した画素データを出力するものであり、この撮像手段から出力される高解像度の画素データを間引いて低解像度の画素データに変換する処理手段と、処理手段からの低解像度の画素データを実時間で出力する出力端子と、出力端子からの低解像度の画素データの映像を表示する映像モニタのビューファインダとを備えることを特徴とする。

【0010】

【作用】 本発明による電子スチルカメラよれば、撮像手段からの被写体の画像を表わす高解像度信号の映像をビューファインダに表示する場合、処理手段は、高解像度信号を間引いて低解像度信号に変換し、それを実時間でビューファインダに表示する。

【0011】 本明細書において、用語「高解像度」とは、NTSCなどの標準テレビジョン方式を超える高い解像度を言う。

【0012】

【実施例】 次に添付図面を参照して本発明による電子ス

チルカメラの実施例について詳細に説明する。図 1 を参照すると本発明の電子スチルカメラの一実施例が示されている。同図において、この電子スチルカメラ 1 は撮像レンズ 10 によって撮像して得た被写体画像の電気信号を可視画像として再生部 26 にて再生するとともに、この電気信号が表す高解像度の画像データを圧縮してメモリカード 36 へ記憶する装置である。なお、このメモリカード 36 は、電子スチルカメラ 1 本体に着脱可能に装着され、これから伝送されるデジタル画像データを記憶保持可能な状態にして蓄積し、また、要求に応じて蓄積したデジタル画像データを出力することのできるカード状半導体記憶装置である。このカメラ 1 はとくに、ムービー処理部 20 により被写体画像の電気信号を表す高解像度信号を間引いて低解像度信号に変換するから、高解像度の被写体画像の映像を実時間で再生部 26 を介してモニタ装置 29 に表示する。

【 0 0 1 3 】 図 1 を参照すると、撮像レンズ 10 は、被写体の光学像を撮像素子 12 の撮像面に結像する。撮像素子 12 は、撮像レンズ 10 による結像を電気信号に変換して出力する固体撮像素子で、本実施例では、高解像度カメラの場合、約 130 万画素（表示ドット数、横 1280 × 縦 1024 ドット）の CCD を使用し、また、標準解像度カメラの場合、約 40 万画素（表示ドット数、横 640 × 縦 512 ドット）の CCD を使用している。撮像素子 12 は、変換した画素信号を出力 100 に出力する。撮像素子 12 の出力 100 は、前処理回路 14 の入力に接続されている。前処理回路 14 は、入力 100 に入力した画像信号を所定レベルまで増幅し、さらに増幅した画像信号にブラックレベル補正、ホワイトバランス補正、ガンマ補正などの処理を施す処理回路であり、処理した画像信号を出力 102 に出力する。前処理回路 14 の出力 102 はアナログデジタル(A/D)変換器 16 の入力に接続されている。アナログデジタル変換器 16 は、入力 102 に現れたアナログ画像信号をデジタル値に変換する変換回路を有するとともに、デジタル値に変換した 1 フレーム分の高解像度のデジタル画像データが蓄積できる少なくとも 1 フレーム分の容量を持つフレームメモリを有している。このフレームメモリに蓄積された画像データは、後述の制御部 38 の制御を受けて出力 104 に読み出される。アナログデジタル変換器 16 の出力 104 は、YC 処理部 18 およびムービー処理部 20 の入力に接続されている。

【 0 0 1 4 】 YC 処理部 18 は、本実施例では入力 104 に現れた高解像度あるいは標準解像度の R、G および B の画像データを輝度信号データ Y および色差信号データ R-Y、B-Y のデータ形式に変換する変換回路である。YC 処理部 18 は出力 106 と出力 112 の 2 つの出力を有している。YC 処理部 18 は、変換した標準解像度の輝度信号データ Y および色差信号データ R-Y、B-Y を出力 106 に出力する。YC 処理部 18 はまた、変換した標準解像度あるいは高解像度の輝度信号データ Y および色差信号データ R-

Y、B-Y をメモリカード 36 へ記憶するために出力 112 に出力する。YC 処理部 18 の出力 106 は、後処理回路 22 の入力に、また出力 112 はセレクト 28 の入力に接続されている。後処理回路 22 は、入力 106 に入力した標準解像度の輝度信号データ Y に対して輪郭補正を、また標準解像度の色差信号データ R-Y および B-Y に対して色補正を行う補正回路であり、補正したそれぞれの画像信号を出力 108 に出力する。後処理回路 22 の出力 108 はデジタルアナログ(D/A)変換器 24 の入力に接続されている。

【 0 0 1 5 】 デジタルアナログ変換器 24 は、入力 108 に入力した画像信号をアナログ値にて表される画像信号に変換し、それを出力 110 に出力する。デジタルアナログ変換器 24 の出力 110 は再生部 26 の入力に接続されている。再生部 26 は、入力 110 に入力した画像信号を、本実施例では、たとえば NTSC 方式の映像信号に変換する。再生部 26 は出力 27 を有し、これには映像モニタ装置 29 が接続されている。モニタ装置 29 は、その NTSC 方式の映像信号を可視画像としてスクリーンに表示する画像表示装置である。なお、モニタ装置が PAL あるいは SECAM 方式であれば、再生部 26 は入力 110 に入力した画像信号を PAL あるいは SECAM 方式の映像信号に変換する変換回路でよい。モニタ装置 29 は、カメラ 1 のビューファインダとして機能し、再生部 26 との接続 27 は、有線または無線のいずれでもよく、また固定接続または着脱可能な接続のいずれでもよい。勿論、カメラ 1 は、この他に光学式のビューファインダを備えていてもよい。

【 0 0 1 6 】 図 1 を参照すると、セレクト 28 は、制御部 38 の制御を受けて画像データの伝送経路を制御して所望の回路に画像データを転送する制御回路である。セレクト 28 は、YC 処理部 18 で所定のデータ形式に変換した画像データを接続線 112 を介して入力し、入力した画像データを接続線 114 を介してメモリ 32 に転送する。メモリ 32 は、ビデオ RAM などにて構成されており、入力 114 に現れた高解像度の画像データを少なくとも 1 画面に相当する 1 フレーム分を蓄積するフレームメモリである。また、このメモリ 32 は、制御部 38 の制御を受けて蓄積した画像データを出力 114 に出力し、セレクト 28 を介してその出力 116 に接続された圧縮処理部 30 に転送する。圧縮処理部 30 は、制御部 38 の制御を受けて入力 114 に入力した標準解像度あるいは高解像度の画像データに対して 2 次元直交変換、正規化およびハフマン符号化などの圧縮処理を行う処理回路である。圧縮処理部 30 はまた、制御部 38 の制御を受けて圧縮した画像データをセレクト 28 を介してその出力 118 に接続されたインタフェース(I/F) 34 に出力する。インタフェース 34 は、入力 118 に現れた圧縮した画像データなどのデータおよび制御部 38 から供給される制御信号をメモリカード 36 に転送し、また、メモリカード 36 から出力された圧縮した画像データなどのデータをセレクト 28 に転送する。

【 0 0 1 7 】 図 1 を参照すると、制御部 38 は、上述のそ

れぞれの機能部を制御および管理する第1の制御回路（図示せず）を有するとともに、この制御部38は、特に、後述するムービー処理部20を制御および管理する第2の制御回路（図示せず）も有している。この第2の制御回路は、本実施例では、高解像度CCDからの被写体画像をたとえばNTSC方式のモニタ装置でモニタする場合特に、上述したアナログディジタル変換器16のフレームメモリに蓄積されている高解像度の画像データをそのモニタ装置の横、縦のドット数に対応して間引き読み出し用の制御信号を生成するとともに、このフレームメモリから

10 読み出された画像データに対して画像処理を施す後述するムービー処理部20用の制御信号も生成している。
【0018】次に、この電子スチルカメラ1のムービー処理部20の内部構成を示す図2を参照して説明する。このムービー処理部20は、本実施例では入力104に現れた高解像度のCCDからの画素データR、GおよびBをNTSC方式のモニタ装置に表示し得るような画素数の輝度信号データY、色差信号データR-Y、B-Y、あるいは色信号R、G、Bに変換し、それを出力106あるいは出力107

20 に出力する画像処理回路であり、セレクトア200、第1の乗算器210、第2の乗算器260、第3の乗算器380、第4の乗算器440、第1の加算器220、第2の加算器280、第3の加算器400、第4の加算器460、第1のメモリ240、第2のメモリ300、第3のメモリ420、第4のメモリ480、入力制御部320、出力制御部340、およびYC変換器360からなっている。
【0019】セレクトア200は、入力104に入力した画素データを、第1の乗算器210、第1の加算器220、第1のメモリ240、第2の乗算器260、第2の加算器280、第2のメモリ300、YC変換回路360からなる第1の変換ルートで変換するか、あるいは第3の乗算器380、第3の加算器400、

30 第3のメモリ420、第4の乗算器440、第4の加算器460、第4のメモリ480、YC変換回路360からなる第2の変換ルートで変換するかを選択するスイッチである。この場合、選択信号は、制御部38の第2の制御回路から供給するようになっている。また、この場合、入力制御部320および出力制御部340は、第1および第2の変換ルートの各メモリに制御信号を供給するようになっている。
【0020】本実施例では、制御部38の第2の制御回路からの読み出し制御信号120に基づいてアナログディジタル変換器16内のフレームメモリに蓄積されている横

は、第1の乗算器210の入力に、また、出力205は第3の乗算器380の入力にそれぞれ接続されている。

【0021】第1の乗算器210は、高解像度の画素データR、GおよびBを入力203から入力し、入力した画素データR、GおよびBのそれぞれに所定の係数を掛け、その掛算の結果を得るもので、たとえばROMなどを用いた掛算回路であり、R乗算器212、G乗算器214およびB乗算器216から構成されている。R乗算器212は、入力した画素データRに所定の係数を掛け、その掛算の結果を出力213に出力し、G乗算器214は、入力した画素データGに所定の係数を掛け、その掛算の結果を出力215に出力し、B乗算器216は、入力した画素データBに所定の係数を掛け、その掛算の結果を出力217に出力する。R乗算器212の出力213は、第1の加算器220のR加算器222の入力に、G乗算器214の出力215は、第1の加算器220のG加算器224の入力に、B乗算器216の出力217は、第1の加算器220のB加算器226の入力にそれぞれ接続されている。

【0022】R加算器222は、基本的に入力213からの所定のサンプル点の画素データRと前記所定のサンプル点とは別の所定のサンプル点の画素データRとを加算する回路であり、その加算の結果を出力223に出力する。同様にG加算器224およびB加算器226もまた、画素データGおよびBの加算結果を出力223に出力する。また、この場合のサンプル点の数は、いくつでもよくシステムにより決定すればよい。本実施例では、R加算器222、G加算器224およびB加算器226の出力223に出力される横方向1ラインのR、GおよびBのそれぞれの画素数は、入力のその半分の数となり、したがって横方向1ラインのR、GおよびBの合計画素数は、入力される1280ドットの半分の640ドットとなる。R加算器222、G加算器224およびB加算器226の出力223は、第1のメモリ240の入力に接続されている。

【0023】第1のメモリ240は、ビデオRAMなどにて構成されており、本実施例では、少なくとも入力223に現れた1フレーム分の画素データ（横640×縦512ドット）を蓄積するフレームメモリである。また、入力223に現れた画素データR、GおよびBは、制御部38の第2の制御回路からの書き込み制御信号に基づき、このメモリ240の所定のアドレスに蓄積され、制御部38の第2の制御回路の読み出し開始信号122に基づく後述する入力制御部320からの読み出し制御信号により、所定のアドレスから画素データR、GおよびBが読み出されて出力243に出力される。メモリ240の出力243は、第2の乗算器260の入力に接続されている。

【0024】第2の乗算器260は、入力243から画素データR、GおよびBを入力し、入力した画素データR、GおよびBのそれぞれに所定の係数を掛け、その掛算の結果を得るもので、たとえばROMなどを用いた掛算回路であり、R乗算器262、G乗算器264およびB乗算器266

から構成されている。R乗算器262は、入力した画素データRに所定の係数を掛け、その掛算の結果を出力263に出力し、G乗算器264は、入力した画素データGに所定の係数を掛け、その掛算の結果を出力265に出力し、B乗算器266は、入力した画素データBに所定の係数を掛け、その掛算の結果を出力267に出力する。R乗算器262の出力263は、第2の加算器280のR加算器282の入力に、G乗算器264の出力265は、第2の加算器280のG加算器284の入力に、B乗算器266の出力267は、第2の加算器280のB加算器286の入力にそれぞれ接続されている。

【0025】R加算器282は、入力263からの所定のサンプル点の画素データRと前記所定のサンプル点とは別の所定のサンプル点の画素データRとを加算する回路であり、その加算の結果を出力283に出力する。同様に、G加算器284およびB加算器286は、画素データGおよびBの加算結果を出力283に出力する。また、この場合のサンプル点の数は、いくつでもよくシステムにより決定すればよい。R加算器282、G加算器284およびB加算器286は、本実施例では、画素を補間を行っており、したがって各々サンプル点のR、GおよびBの画素データを出力283から出力する。ゆえに上記各加算器は、横方向1ラインにおいて、R、GおよびBそれぞれ640ドットの画素データを出力する。R加算器282、G加算器284およびB加算器286の出力283は、第2のメモリ300の入力に接続されている。

【0026】第2のメモリ300は、ビデオRAMなどにて構成されており、本実施例では、入力283に現れたR、GおよびBそれぞれの画素データ（横640×縦512×色の種類3ドット）を蓄積する記憶回路である。入力283に現れたR、GおよびBの画素データを、本実施例では、制御部38の第2の制御回路の書き込み開始信号122に基づく入力制御部320からの書き込み制御信号により、このメモリ300の所定のアドレスに蓄積し、また、制御部38の第2の制御回路の読み出し開始信号122に基づく後述する出力制御部340からのインターレース読み出し制御信号により、このメモリ300の所定のアドレスから画素データR、GおよびBを読み出して出力303に出力する。このメモリ300の出力303は、YC変換器360の入力に接続されている。

【0027】このYC変換器360は、たとえば乗算器、加算器、減算器などにて構成されており、第2のメモリ300あるいは第4のメモリ480から画素データR、GおよびBを入力し、入力した画素データR、GおよびBそれぞれを用い、制御部38の第2の制御回路の読み出し開始信号122に基づく後述する出力制御部340の制御信号により、輝度信号データY（横640×縦512ドット）および色差信号データR-Y、B-Y（それぞれ横640×縦512ドット）のデータ形式に変換する変換回路であり、変換したデータを出力106に出力する。この変換回路360は

さらに、第2のメモリ300からの画素データを用いるか、あるいは後述の第4のメモリ480からの画素データを用いるかを選択する選択回路を有し、制御部38よりの切替信号122に基づき、どちらかを選択するとともに、選択した第2のメモリ300あるいは第4のメモリ480からの画素データR、GおよびBを出力107に出力する。

【0028】図2を参照すると、入力制御部320は、図1に示す制御部38の第2の制御回路からの読み出し開始信号122に基づいて第1のメモリ240および第3のメモリ420への読み出し制御信号などを生成するとともに、制御部38の第2の制御回路からの書き込み開始信号122に基づいて第2のメモリ300および第4のメモリ480への書き込み制御信号などを生成する制御回路である。また、出力制御部340は、制御部38の第2の制御回路からの読み出し制御信号122に基づいて第2のメモリ300および第4のメモリ480へのインターレースあるいはノンインターレース読み出し制御信号などを生成するとともに、YC変換器360へ画像処理用の制御信号などを生成する制御回路である。

【0029】ディジタルアナログ変換器40は、入力107からのディジタル画像データR、GおよびBをアナログ値にて表される画像信号に変換し、それをたとえば、モニタ装置がライン数が525本、フィールド周波数が60Hzの525/60方式のRGBモニタ装置、ライン数が625本、フィールド周波数が50Hzの625/50方式のRGBモニタ装置あるいは上記ライン数よりも少ないライン数からなる低解像度のRGBモニタ装置（いずれも図示せず）などに出力する。

【0030】なお、第3の乗算器380は上述の第1の乗算器210と同じ機能を有し、第3の加算器400は上述の第1の加算器220と同じ機能を有し、第3のメモリ420は上述の第1のメモリ240と同じ機能を有し、第4のメモリ420は上述の第2のメモリ300と同じ機能を有し、第4の乗算器440は上述の第2の乗算器260と同じ機能を有し、第4の加算器460は上述の第2の加算器280と同じ機能を有しているから、上記各部の説明は省く。

【0031】図2は、上述したように第1と第2の変換ルートに有する構成になっているから、基本的に、第1の変換ルートにより被写体の画像をモニタに表示しているときは、第2の変換ルートは被写体の画像の変換処理を行い、また第2の変換ルートにより被写体の画像をモニタに表示しているときは、第1の変換ルートは被写体の画像の変換処理を行うことができる。また図2において、たとえば、第2の変換ルートの第3の乗算器380、第3の加算器400、第3のメモリ420、第4の乗算器440および第4の加算器460を含まず、第2の加算器280の出力283を第4のメモリ480の入力に接続する構成とすることで、基本的に図2と同様に、モニタへの被写体の画像の表示、および被写体の画像の変換処理を各々独立に行うことができる。また、図2において、たとえ

ば、第2の変換ルートの第3の乗算器380、第3の加算器400、第3のメモリ420、第4のメモリ480、第4の乗算器440、および第4の加算器460を含まない第1の変換ルートのみの構成とし、モニタに被写体の画像を表示を行っているときは、被写体の画像の変換処理を行わず、また被写体の画像の変換処理を行っているときは、モニタに被写体の画像の表示を行わないことでもよい。

【0032】また、図1および2において、アナログディジタル変換器16のフレームメモリ、第1のメモリあるいは第3のメモリを介さずに、アナログディジタル変換器16から直接画素データを第1の乗算器210あるいは第3の乗算器380に送り、さらに第1の加算器220から直接画素データを第2の乗算器260に送り、第3の加算器400から直接画素データを第4の乗算器440に送る構成でよい。

【0033】次に、図2の各部に現れる画素データを図3および図4に示し、ムービー処理部20の各部の信号処理の方法について詳細に説明する。なお、図3は、GストライプRB完全市松色フィルタ配列による高解像度CCDからの表示ドット、すなわち横1280×縦1024ドット構成を、説明の都合上、表示ドットを減らし、横16×縦4ドット構成とし、それらの画素データがムービー処理部20の各部により処理されて出力された画素データを示したものである。また、図4は、RGBストライプ色フィルタ配列による高解像度CCDからの表示ドット、すなわち横1280×縦1024ドット構成を、説明の都合上、表示ドットを減らし、横12×縦4ドット構成とし、それらの画素データがムービー処理部20の各部により処理されて出力された画素データを示したものである。図3および図4において、横方向の番号は、ライン方向の表示ドットの番号を示し、また縦方向の番号は、ライン番号を示す。

【0034】まず、GストライプRB完全市松色フィルタ配列の高解像度CCDにより出力された画素データの信号処理の方法について、図1～図3を参照して説明する。図1を参照すると、GストライプRB完全市松色フィルタ配列の高解像度CCD（撮像素子12）により出力された画素信号は、前処理回路14によりガンマ補正などの処理が行われてアナログディジタル変換器16に供給され、このアナログディジタル変換器16により、前処理したアナログ画像信号をディジタル値に変換され、さらに本実施例では、ディジタル値に変換された画素データは、制御部38の書き込み制御信号に基づき、このアナログディジタル変換器16内に含まれているフレームメモリに図3(a)に示すように蓄積される。

【0035】このようにフレームメモリに蓄積された画素データは、本実施例では、制御部38の読み出し制御信号に基づき、1ラインおきに読み出され、1ラインおきに読み出された画素データR、G、およびB（図3(b)を参照、これは図3(a)のNO1ラインとNO3ラインの画素データを読み出した図である）は、セレクタ200を介

して第1の乗算器210に送られる。この第1の乗算器210のR乗算器212は、本実施例では、入力する画素データ R_n に係数1、3/4、1/2、1/4のいずれかを掛け、その結果を第1の加算器220のR加算器222に出力する。この第1の乗算器210のG乗算器214、B乗算器216も同様に、本実施例では、入力する画素データ G_n 、画素データ B_n に係数1、3/4、1/2、1/4のいずれかを掛け、その結果を第1の加算器220のG加算器224、B加算器226にそれぞれ出力する。

【0036】この第1の加算器220のR加算器222は、たとえば、まず $3/4R_n$ に $1/4R_n$ を加えて R_{n1} を作成し、次に $3/4R_{n1}$ に $1/4R_{n1}$ を加えて R_{n2} を作成し、このような方法により順次 R_{nn} を作成し、それを第1のメモリ240に出力する。また、第1の加算器220のG加算器224は、たとえば、まず G_n に0を加え G_{n1} を作成し、次に G_{n1} に0を加え G_{n2} を作成し、このような方法により順次 G_{nn} を作成し、それを第1のメモリ240に出力する。第1の加算器220のB加算器226は、たとえば、まず $1/4B_n$ に $3/4B_n$ を加えて B_{n1} を作成し、次に $1/4B_{n1}$ に $3/4B_{n1}$ を加えて B_{n2} を作成し、このような方法により順次 B_{nn} を作成し、それを第1のメモリ240に出力する。第1の加算器220から出力された画素データ R_{nn} 、 G_{nn} 、 B_{nn} は、制御部38の書き込み制御信号に基づいて第1のメモリ240に、たとえば、図3(c)に示すように蓄積される。上記の説明、および図3(b)、(c)からわかるように、たとえば、画素データRについては、 $3/4R_n$ と $1/4R_n$ を内挿して R_{n1} を作成し、 $3/4R_{n1}$ と $1/4R_{n1}$ を内挿して R_{n2} を作成しており、これは入力画素数が2個であるのに対して出力画素数は1個であり、1画素間引かれたこととなる。同様のことが画素データBについてもいえる。また、画素データGについては、たとえば G_n 、 G_{n1} 、 G_{n2} 、 G_{n3} の4個の入力画素の内、 G_n 、 G_{n3} を出力画素とし、 G_{n1} 、 G_{n2} を間引いている。また、この場合の内挿の方法、ならびに間引きの方法については、システムにより決定すればよい。

【0037】このようにして第1のメモリ240に蓄積された画素データ R_{nn} 、 G_{nn} 、 B_{nn} は、本実施例では、入力制御部320の読み出し制御信号に基づいて第1のメモリ240から読み出され第2の乗算器260に送られる。この第2の乗算器260のR乗算器262は、本実施例では、入力する画素データ R_{nn} に係数1、3/4、1/2、1/4のいずれかを掛け、その結果を第2の加算器280のR加算器282に出力する。この第2の乗算器260のG乗算器264、B乗算器266もまた同様に、本実施例では、入力する画素データ G_{nn} 、画素データ B_{nn} に係数1、3/4、1/2、1/4のいずれかを掛け、その結果を第2の加算器280のG加算器284、B加算器286にそれぞれ出力する。

【0038】この第2の加算器280のR加算器282は、たとえば、まず R_{n1} に0を加えて R_{n11} を作成し、次に $3/4R_{n11}$ に $1/4R_{n11}$ を加えて R_{n12} を作成し、次に $1/2R_{n12}$ に $1/$

2R₂を加えてR_{1,3}を作成し、次に1/4R₁に3/4 R₂を加えてR_{4,4}を作成し、次にR₂に0を加えてR_{5,5}を作成し、このような方法により順次R_{n,n}を作成し、それを第2のメモリ300に出力する。第2の加算器280のG加算器284は、たとえば、まず1/2G₁に0（この場合の0の意味は、G₁の左側に加える画素データG₀がない）を加えてG_{1,1}を作成し、次にG₁に0を加えてG_{2,2}を作成し、次に1/2G₁に1/2G₂を加えてG_{3,3}を作成し、次にG_{2,2}に0を加えてG_{4,4}を作成し、このような方法によりG_{n,n}を順次作成し、それを第2のメモリ300に出力する。第2の加算器280のB加算器286は、たとえば、まず1/2B₁に0（この場合の0の意味は、B₁の左側に加える画素データB₀がない）を加えてB_{1,1}を作成し、次に3/4B₁に0（この場合の0の意味は、B₁の左側に加える画素データB₀がない）を加えてB_{2,2}を作成し、次にB₁に0を加えてB_{3,3}を作成し、次に3/4B₁に1/4B₂を加えてB_{4,4}を作成し、次に1/2B₁に1/2B₂を加えてB_{5,5}を作成し、次に1/4B₁に3/4B₂を加えてB_{6,6}を作成し、次にB₂に0を加えてB_{7,7}を作成し、このような方法により順次B_{n,n}を作成し、それを第2のメモリ300に出力する。第2の加算器280から出力された画素データR_{n,n}、G_{n,n}、B_{n,n}は、入力制御部320の書き込み制御信号に基づいて第2のメモリ300に、たとえば、図3(d)に示すように蓄積される。なお、上記の説明、図3(c)、(d)からわかるように、たとえば、画素データRについては、R_{1,1}、R_{3,3}、以外のR_{2,2}、R_{3,3}、R_{4,4}、R_{6,6}、R_{7,7}、R_{8,8}が補間画素であり、画素データGについては、G_{2,2}、G_{4,4}、G_{6,6}、G_{8,8}以外のG_{1,1}、G_{3,3}、G_{5,5}、G_{7,7}が補間画素であり、画素データBについては、B_{3,3}、B_{7,7}以外のB_{1,1}、B_{2,2}、B_{4,4}、B_{5,5}、B_{6,6}、B_{8,8}が補間画素である。また、この場合の補間画素の作成方法については、システムにより決定すればよい。

【0039】このようにして第2のメモリ300に蓄積された画素データR_{n,n}、G_{n,n}、B_{n,n}は、本実施例では、出力制御部340の読み出し制御信号に基づいて第2のメモリ300から読み出されYC変換器360に送られる。このYC変換器360は、第2のメモリ300からの画素データR_{n,n}、G_{n,n}、B_{n,n}を用い、たとえば、0.3R_{n,n}+0.59G_{n,n}+0.11B_{n,n}の演算から輝度信号Y_{n,n}を作成し、また、0.7R_{n,n}-0.59G_{n,n}-0.11B_{n,n}の演算から色差信号R_{n,n}-Y_{n,n}を作成し、さらに-0.3R_{n,n}-0.59G_{n,n}+0.89B_{n,n}の演算から色差信号B_{n,n}-Y_{n,n}を作成し、それぞれ作成した信号を出力106に出力している。

【0040】次に、RGBストライプ色フィルタ配列の高解像度CCDにより出力された画素データの信号処理方法について、図1、図2、および図4を参照して説明する。図1を参照すると、RGBストライプ色フィルタ配列の高解像度CCD（撮像素子12）により出力された画素信号は、前処理回路14によりガンマ補正などの処理が行われてアナログデジタル変換器16に供給され、次のアナ

ログデジタル変換器16により、前処理したアナログ画像信号はデジタル値に変換され、さらに本実施例では、デジタル値に変換された画素データは、制御部38の書き込み制御信号に基づき、このアナログデジタル変換器16内に含まれているフレームメモリに図4(a)に示すように蓄積される。

【0041】このようにフレームメモリに蓄積された画素データは、本実施例では、制御部38の読み出し制御信号に基づき、1ラインおきに読み出され、1ラインおきに読み出されたRGB画素データ（図4(b)を参照、これは図4(a)のNO1ラインとNO3ラインの画素データを読み出した図である）は、セクタ200を介して第1の乗算器210に送られる。この第1の乗算器210のR乗算器212は、本実施例では、入力する画素データR_nに係数5/6、1/6のいずれかを掛けて、その結果を第1の加算器220のR加算器222に出力する。この第1の乗算器210のG乗算器214、B乗算器216もまた同様に、本実施例では、入力する画素データG_n、画素データB_nに係数5/6、1/2、1/6のいずれかを掛けて、その結果を第1の加算器220のG加算器224、B加算器226にそれぞれ出力する。

【0042】この第1の加算器220のR加算器222は、たとえば、5/6R₁に1/6 R₂を加えてR₁を作成し、次に5/6R₂に1/6 R₃を加えてR₂を作成し、このような方法によりR_nを順次作成し、それを第1のメモリ240に出力する。また、第1の加算器220のG加算器224は、たとえば1/2G₁に1/2G₂を加えてG₁を作成し、次に1/2G₂に1/2G₃を加えてG₂を作成し、このような方法によりG_nを順次作成し、それを第1のメモリ240に出力する。第1の加算器220のB加算器226はまた、たとえば、1/6B₁に5/6 B₂を加えてB₁を作成し、次に1/6B₂に5/6B₃を加えてB₂を作成し、このような方法によりB_nを順次作成し、それを第1のメモリ240に出力する。第1の加算器220から出力された画素データR_n、G_n、B_nは、制御部38の書き込み制御信号に基づいて第1のメモリ240に、たとえば、図4(c)に示すように蓄積される。上記の説明、および図4(b)、(c)からわかるように、たとえば、画素データRについては、5/6R₁と1/6R₂を内挿してR₁を作成し、5/6R₂と1/6R₃を内挿してR₂を作成しており、これは入力画素数が2個であるのに対して出力画素数は1個であり、1画素間引かれたことになる、同様のことが画素データG、Bについてもいえる。また、この場合の内挿の方法、ならびに間引きの方法については、システムにより決定すればよい。

【0043】このようにして第1のメモリ240に蓄積された画素データR_n、G_n、B_nは、本実施例では、入力制御部320の読み出し制御信号に基づいて第1のメモリ240から読み出されて第2の乗算器260に送られる。この第2の乗算器260のR乗算器262は、本実施例では、入力する画素データR_nに係数1、2/3、1/3のいずれかを掛け、その結果を第2の加算器280のR加算器282に出力

する。この第2の乗算器260のG乗算器264、B乗算器266もまた同様に、本実施例では、入力する画素データ $G_{n,n}$ 、画素データ $B_{n,n}$ に係数1、2/3、1/3のいずれかを掛け、その結果を第2の加算器280のG加算器284、B加算器286にそれぞれ出力する。

【0044】この第2の加算器280のR加算器282は、たとえば、まず $R_{1,1}$ に0を加えて $R_{1,1}$ を作成し、 $2/3R_{1,1}$ に $1/3R_{2,2}$ を加えて $R_{2,2}$ を作成し、次に $1/3R_{1,1}$ に $2/3R_{2,2}$ を加えて $R_{3,3}$ を作成し、次に $R_{2,2}$ に0を加えて $R_{4,4}$ を作成し、このような方法により順次 $R_{n,n}$ を作成し、それを第2のメモリ300に出力する。また、第2の加算器280のG加算器284は、たとえば、まず $2/3G_{1,1}$ に0（この場合の0の意味は、 $G_{1,1}$ の左側に加える画素データ $G_{0,0}$ がない）を加えて $G_{1,1}$ を作成し、次に $G_{1,1}$ に0を加えて $G_{2,2}$ を作成し、次に $2/3G_{1,1}$ に $1/3G_{2,2}$ を加えて $G_{3,3}$ を作成し、次に $1/3G_{1,1}$ に $2/3G_{2,2}$ を加えて $G_{4,4}$ を作成し、次に $G_{2,2}$ に0を加えて $G_{5,5}$ を作成し、このような方法により順次 $G_{n,n}$ を作成し、それを第2のメモリ300に出力する。第2の加算器280のB加算器286はまた、たとえば、まず $1/3B_{1,1}$ に0（この場合の0の意味は、 $B_{1,1}$ の左側に加える画素データ $B_{0,0}$ がない）を加えて $B_{1,1}$ を作成し、次に $2/3B_{1,1}$ に0（この場合の0の意味は、 $B_{1,1}$ の左側に加える画素データ $B_{0,0}$ がない）を加えて $B_{2,2}$ を作成し、次に $B_{1,1}$ に0を加えて $B_{3,3}$ を作成し、次に $2/3B_{1,1}$ に $1/3B_{2,2}$ を加えて $B_{4,4}$ を作成し、次に $1/3B_{1,1}$ に $2/3B_{2,2}$ を加えて $B_{5,5}$ を作成し、次に $B_{2,2}$ に0を加えて $B_{6,6}$ を作成し、このような方法により順次 $B_{n,n}$ を作成し、それを第2のメモリ300に出力する。第2の加算器280から出力された画素データ $R_{n,n}$ 、 $G_{n,n}$ 、 $B_{n,n}$ は、入力制御部320の書き込み制御信号に基づいて第2のメモリ300に、たとえば、図4(d)に示すように蓄積される。なお、上記の説明、図4(c)、(d)からわかるように、たとえば、画素データRについては、 $R_{1,1}$ 、 $R_{4,4}$ 以外の $R_{2,2}$ 、 $R_{3,3}$ 、 $R_{5,5}$ 、 $R_{6,6}$ が補間画素であり、画素データGについては、 $G_{2,2}$ 、 $G_{5,5}$ 以外の $G_{1,1}$ 、 $G_{3,3}$ 、 $G_{4,4}$ 、 $G_{6,6}$ が補間画素であり、画素データBについては、 $B_{3,3}$ 、 $B_{6,6}$ 以外の $B_{1,1}$ 、 $B_{2,2}$ 、 $B_{4,4}$ 、 $B_{5,5}$ が補間画素である。また、この場合の補間画素の作成方法については、システムにより決定すればよい。

【0045】このようにして第2のメモリ300に蓄積された画素データ $R_{n,n}$ 、 $G_{n,n}$ 、 $B_{n,n}$ は、本実施例では、出力制御部340の読み出し制御信号に基づいて第2のメモリ300から読み出されYC変換器360に送られる。このYC変換器360は、第2のメモリ300からの画素データ $R_{n,n}$ 、 $G_{n,n}$ 、 $B_{n,n}$ を用い、たとえば、 $0.3R_{n,n} + 0.59G_{n,n} + 0.11B_{n,n}$ の演算から輝度信号 $Y_{n,n}$ を作成し、また、 $0.7R_{n,n} - 0.59G_{n,n} - 0.11B_{n,n}$ の演算から色差信号 $R_{n,n} - Y_{n,n}$ を作成し、さらに $-0.3R_{n,n} - 0.59G_{n,n} + 0.89B_{n,n}$ の演算から色差信号 $B_{n,n} - Y_{n,n}$ を作成し、それぞれ作成した信号を出力106に出力している。

【0046】以上のような構成において、本実施例にお

ける電子スチルカメラ1の動作を説明する。まず、カメラ1の撮像素子12が標準解像度のCCD(表示ドット数、横640×縦512ドット)であり、そのCCDに結像された被写体の画像をNTSC方式のモニタ装置に表示する場合、このCCD12から出力された画素信号がNTSC方式の映像信号に変換されモニタに表示されるまでの動作について説明する。

【0047】撮像レンズ10による被写体の光学像は、標準解像度のCCD12の撮像面に結像される。このCCD12は、その結像の横640×縦512ドットの画素を走査してその画素信号を前処理回路14に送る。この前処理回路14は、入力した画像信号を所定のレベルまで増幅し、さらにこの増幅した画像信号にブラックレベル補正、ホワイトバランス補正、ガンマ補正などの処理を行いアナログディジタル(A/D)変換器16に送る。このアナログディジタル変換器16は、入力したアナログ画像信号をディジタル値に変換し、さらにディジタル値に変換した画像データをアナログディジタル変換器16内のフレームメモリに蓄積する。制御部38のノンインラレース方式の読み出し制御信号により、フレームメモリに蓄積された画像データを読み出してYC処理部18に送る。

【0048】次に、このYC処理部18は、入力した画像データR、GおよびBを輝度信号データYおよび色差信号データR-Y、B-Yのデータ形式に変換して後処理回路22に出送る。この後処理回路22は、入力した輝度信号データYに対し輪郭補正を、また色差信号データR-YおよびB-Yに対し色補正をそれぞれ行い、その補正した画像信号をディジタルアナログ(D/A)変換器24に送る。このディジタルアナログ変換器24は、入力した画像信号をアナログ値にて表される画像信号に変換し再生部26に送る。この再生部26は、入力した画像信号をNTSC方式の映像信号に変換しNTSC方式のモニタ装置に送る。そして、このモニタ装置は、カメラ1からの被写体の画像を表示する。

【0049】次に、カメラ1の撮像素子12がGストライプRB完全市松フィルタの高解像度のCCD(表示ドット数、横1280×縦1024ドット)であり、そのCCDに結像された被写体の画像をNTSC方式のモニタ装置に表示する場合、このCCD12から出力された画素信号がNTSC方式の映像信号に変換されモニタに表示されるまでの動作について説明する。

【0050】撮像レンズ10による被写体の光学像は、高解像度のCCD12の撮像面に結像される。このCCD12は、その結像の横1280×縦1024ドットの画素を走査してその画素信号を前処理回路14に送る。この前処理回路14は、入力した画像信号を所定のレベルまで増幅し、さらにこの増幅した画像信号にブラックレベル補正、ホワイトバランス補正、ガンマ補正などの処理をしてアナログディジタル(A/D)変換器16に送る。このアナログディジタル変換器16は、入力したアナログ画像信号をディジタル値

に変換し、さらにディジタル値に変換した画像データをアナログディジタル変換器16内のフレームメモリに、本実施例では120msの時間で蓄積する。CCD12からの横1280×縦1024ドットの画素データは、図3(a)に示すような画素配列でフレームメモリに蓄積されている。

【0051】このフレームメモリに蓄積された画像データは、制御部38の読み出し制御信号に基づき、1ラインおきに読み出され、その読み出された画素データ R_n 、 G_n 、および B_n は、セレクタ200を介し第1の乗算器210に送られる。この第1の乗算器210のR乗算器212は、10 入力する画素データ R_n に1、3/4、1/2、1/4いずれかの係数を掛けて第1の加算器220のR加算器222に送る。また、第1の乗算器210のG乗算器214、B乗算器216も同様に、入力する画素データ G_n 、画素データ B_n に1、3/4、1/2、1/4いずれかの係数を掛けて第1の加算器220のG加算器224、B加算器226にそれぞれ送る。

【0052】この第1の加算器220のR加算器222は、R乗算器212からの3/4 R_n と1/4 R_n を加え R_{11} を作成し、次に3/4 R_{11} と1/4 R_{11} を加え R_{21} を作成し、このように順次 R_{nn} を作成し第1のメモリ240に送る。また、第1の加算器220のG加算器224は、G乗算器214からの G_n とこのG加算器224内部の0を加え G_{11} を作成し、次にG乗算器214からの G_n とこのG加算器224内部の0を加え G_{21} を作成し、このように順次 G_{nn} を作成し第1のメモリ240に送る。第1の加算器220のB加算器226は、B乗算器216からの1/4 B_n と3/4 B_n を加え B_{11} を作成し、次に1/4 B_{11} と3/4 B_{11} を加えて B_{21} を作成し、このように順次 B_{nn} を作成し第1のメモリ240に送る。第1の加算器220から送られてきた画素データ R_{nn} 、 G_{nn} 、 B_{nn} を制御部38の書き込み制御信号に基づいて第1のメモリ240に蓄積する。制御部38の書き込み制御信号に基づいて間引かれた横640×縦512ドットからなる画素データは、図3(c)に示すような画素配列で第1のメモリ240に蓄積される。

【0053】このように第1のメモリ240に蓄積された画素データ R_{nn} 、 G_{nn} 、 B_{nn} は、入力制御部320の読み出し制御信号に基づいて第1のメモリ240から読み出され第2の乗算器260に送られる。この第2の乗算器260のR乗算器262は、入力する画素データ R_{nn} に1、3/4、1/2、1/4いずれかの係数を掛け第2の加算器280のR加算器282に送る。また、第2の乗算器260のG乗算器264、B乗算器266も同様に、入力する画素データ G_{nn} 、画素データ B_{nn} に1、3/4、1/2、1/4いずれかの係数を掛け第2の加算器280のG加算器284、B加算器286にそれぞれ送る。

【0054】この第2の加算器280のR加算器282は、R乗算器262からの R_{11} とR加算器282内部の0を加え R_{11} を作成し、次にR乗算器262からの3/4 R_{11} と1/4 R_{11} を加え R_{21} を作成し、次にR乗算器262からの1/2 R_{11} と1/2 R_{21} を加え R_{31} を作成し、次にR乗算器262からの1/4 R_{11} と3/4 R_{21} を加え R_{41} を作成し、次にR乗算器

262からの R_{21} とR加算器282内部の0を加え R_{51} を作成し、このように順次 R_{nn} を作成し第2のメモリ300に送る。また第2の加算器280のG加算器284は、G乗算器264からの1/2 G_{11} とG加算器284内部の0を加え G_{11} を作成し、次にG乗算器264からの G_{11} とG加算器284内部の0を加え G_{21} を作成し、次にG乗算器264からの1/2 G_{11} と1/2 G_{21} を加え G_{31} を作成し、次にG乗算器264からの G_{21} とG加算器284内部の0を加え G_{41} を作成し、このように G_{nn} を順次作成し第2のメモリ300に出力する。また第2の加算器280のB加算器286は、B乗算器266からの1/2 B_{11} とB加算器286内部の0を加え B_{11} を作成し、次にB乗算器266からの3/4 B_{11} とB加算器286内部の0を加え B_{21} を作成し、次にB乗算器266からの B_{11} とB加算器286内部の0を加え B_{31} を作成し、次にB乗算器266からの3/4 B_{11} と1/4 B_{21} を加え B_{41} を作成し、次にB乗算器266からの1/2 B_{11} と1/2 B_{21} を加え B_{51} を作成し、次にB乗算器266からの1/4 B_{11} と3/4 B_{21} を加え B_{61} を作成し、次にB乗算器266からの B_{21} とB加算器286内部の0を加えて B_{71} を作成し、このように順次 B_{nn} を作成し第2のメモリ300に送る。第2の加算器280から送られてきた画素データ R_{nn} 、 G_{nn} 、 B_{nn} を入力制御部320の書き込み制御信号に基づいて第2のメモリ300に蓄積する。なお、この場合、第2の加算器280から各サンプル点でのR、GおよびBの画素データが送られてくるから、第2のメモリ300には、それぞれが横640×縦512ドットからなる図3(d)に示すような画素配列で蓄積されている。本実施例では、適当に画素データを間引くから、アナログディジタル変換器16のフレームメモリから画素データが読み出され、120ms内に画素データ R_{nn} 、 G_{nn} 、 B_{nn} を第2のメモリに蓄積する。したがって、この第2のメモリに蓄積した画素データを実時間で再生部26を介してNTSC方式のモニタ装置29に表示する。また、このモニタ装置29がNTSC方式よりも低解像度のモニタである場合、画素データの間引き量を多くできるから、アナログディジタル変換器16のフレームメモリから画素データが読み出され、画素データ R_{nn} 、 G_{nn} 、 B_{nn} を第2のメモリに蓄積するまでの時間をさらに短かにできる効果がある。

【0055】このようにして第2のメモリ300に蓄積された画素データ R_{nn} 、 G_{nn} 、 B_{nn} を出力制御部340の読み出し制御信号に基づいて第2のメモリ300から読み出しYC変換器360に送られる。このYC変換器360は、第2のメモリ300からの画素データ R_{nn} 、 G_{nn} 、 B_{nn} を用い、 $0.3R_{nn}+0.59G_{nn}+0.11B_{nn}$ の演算をして輝度信号 Y_{nn} を作成し、また、 $0.7R_{nn}-0.59G_{nn}-0.11B_{nn}$ の演算をして色差信号 $R_{nn}-Y_{nn}$ を作成し、さらに $-0.3R_{nn}-0.59G_{nn}+0.89B_{nn}$ の演算をして色差信号 $B_{nn}-Y_{nn}$ を作成した後処理回路22に送る。この後処理回路22は、入力した輝度信号データYに対して輪郭補正を、また色差信号データR-YおよびB-Yに対して色補正を行いディジタ

ルアナログ(D/A)変換器24に送る。このデジタルアナログ変換器24は、入力した画像信号をアナログ値にて表される画像信号に変換し再生部26に送る。この再生部26は、入力した画像信号をNTSC方式の映像信号に変換しNTSC方式のモニタ装置に送る。そして、このモニタ装置は、カメラ1からの被写体の画像を表示する。なお、上記信号処理は、水平走査線方向の画素データに対して説明したが、垂直方向の画素データに対しても同様の信号処理ができる。

【0056】次に、カメラ1の撮像素子12がRGBストライプ色フィルタ配列の高解像度のCCD(表示ドット数、横1280×縦1024ドット)であり、そのCCDに結像された被写体の画像をNTSC方式のモニタ装置に表示する場合、このCCD12から出力された画素信号がNTSC方式の映像信号に変換されモニタに表示されるまでの動作について説明する。

【0057】撮像レンズ10による被写体の光学像は、高解像度のCCD12の撮像面に結像される。このCCD12は、その結像の横1280×縦1024ドットの画素を走査してその画素信号を前処理回路14に送る。この前処理回路14は、入力した画像信号を所定のレベルまで増幅し、さらにこの増幅した画像信号にブラックレベル補正、ホワイトバランス補正、ガンマ補正などの処理をしてアナログデジタル(A/D)変換器16に送る。このアナログデジタル変換器16は、入力したアナログ画像信号をデジタル値に変換し、さらにデジタル値に変換した画像データをアナログデジタル変換器16内のフレームメモリに蓄積する。CCD12からの横1280×縦1024ドットの画素データは、図4(a)に示すような画素配列でフレームメモリに蓄積されている。

【0058】このフレームメモリに蓄積された画像データは、制御部38の読み出し制御信号に基づき、1ラインおきに読み出され、その読み出された画素データR、G、およびBは、セレクタ200を介し第1の乗算器210に送られる。この第1の乗算器210のR乗算器212は、入力する画素データ R_n に $5/6$ 、 $1/6$ いずれかの係数を掛け第1の加算器220のR加算器222に送る。また第1の乗算器210のG乗算器214、B乗算器216も同様に、入力する画素データ G_n 、画素データ B_n に $5/6$ 、 $1/2$ 、 $1/6$ いずれかの係数を掛け第1の加算器220のG加算器224、B加算器226にそれぞれ送る。

【0059】この第1の加算器220のR加算器222は、R乗算器212からの $5/6R_n$ と $1/6R_n$ を加え R_{n1} を作成し、次にR乗算器212からの $5/6R_n$ と $1/6R_n$ を加え R_{n2} を作成し、このように $R_{n...}$ を順次作成し第1のメモリ240に送る。また、第1の加算器220のG加算器224は、G乗算器214からの $1/2G_n$ と $1/2G_n$ を加え G_{n1} を作成し、次にG乗算器214からの $1/2G_n$ と $1/2G_n$ を加え G_{n2} を作成し、このように $G_{n...}$ を順次作成し第1のメモリ240に送る。また、第1の加算器220のB加算器226は、B

乗算器216からの $1/6B_n$ と $5/6B_n$ を加え B_{n1} を作成し、次にB乗算器216からの $1/6B_n$ と $5/6B_n$ を加え B_{n2} を作成し、このように $B_{n...}$ を順次作成し第1のメモリ240に送る。第1の加算器220から送られてきた画素データ $R_{n...}$ 、 $G_{n...}$ 、 $B_{n...}$ を制御部38の書き込み制御信号に基づいて第1のメモリ240に蓄積する。制御部38の書き込み制御信号に基づいて間引かれた横640×縦512ドットからなる画素データは、図4(c)に示すような画素配列で第1のメモリ240に蓄積される。

【0060】このようにして第1のメモリ240に蓄積された画素データ $R_{n...}$ 、 $G_{n...}$ 、 $B_{n...}$ を入力制御部320の読み出し制御信号に基づいて第1のメモリ240から読み出し第2の乗算器260に送る。この第2の乗算器260のR乗算器262は、入力する画素データ $R_{n...}$ に 1 、 $2/3$ 、 $1/3$ いずれかの係数を掛け第2の加算器280のR加算器282に送る。また、第2の乗算器260のG乗算器264、B乗算器266も同様に、入力する画素データ $G_{n...}$ 、画素データ $B_{n...}$ に 1 、 $2/3$ 、 $1/3$ いずれかの係数を掛け第2の加算器280のG加算器284、B加算器286にそれぞれ送る。

【0061】この第2の加算器280のR加算器282は、R乗算器262からの R_{n1} とR加算器282内部の0を加え R_{n11} を作成し、R乗算器262からの $2/3R_{n1}$ と $1/3R_{n1}$ を加え R_{n12} を作成し、次にR乗算器262からの $1/3R_{n1}$ と $2/3R_{n1}$ を加え R_{n13} を作成し、次にR乗算器262からの R_{n2} とR加算器282内部の0を加え R_{n14} を作成し、このように順次 $R_{n...}$ を作成し第2のメモリ300に送る。また、第2の加算器280のG加算器284は、G乗算器264からの $2/3G_{n1}$ とG加算器284内部の0を加え G_{n11} を作成し、次にG乗算器264からの G_{n1} とG加算器284内部の0を加え G_{n12} を作成し、次にG乗算器264からの $2/3G_{n1}$ と $1/3G_{n1}$ を加え G_{n13} を作成し、次にG乗算器264からの $1/3G_{n1}$ と $2/3G_{n1}$ を加え G_{n14} を作成し、次にG乗算器264からの G_{n2} とG加算器284内部の0を加え G_{n15} を作成し、このように順次 $G_{n...}$ を作成し第2のメモリ300に送る。また、第2の加算器280のB加算器286は、B乗算器266からの $1/3B_{n1}$ とB加算器286内部の0を加え B_{n11} を作成し、次にB乗算器266からの $2/3B_{n1}$ とB加算器286内部の0を加え B_{n12} を作成し、次にB乗算器266からの B_{n1} とB加算器286内部の0を加え B_{n13} を作成し、次にB乗算器266からの $2/3B_{n1}$ と $1/3B_{n1}$ を加え B_{n14} を作成し、次にB乗算器266からの $1/3B_{n1}$ と $2/3B_{n1}$ を加え B_{n15} を作成し、次にB乗算器266からの B_{n2} にB加算器286内部の0を加え B_{n16} を作成し、このように順次 $B_{n...}$ を作成し第2のメモリ300に送る。第2の加算器280から出力された画素データ $R_{n...}$ 、 $G_{n...}$ 、 $B_{n...}$ を入力制御部320の書き込み制御信号に基づいて第2のメモリ300に蓄積する。なお、この場合、第2の加算器280から各サンプル点でのR、GおよびBの画素データが送られてくるから、第2のメモリ300には、それぞれが横640×縦512ドットからなる図4(d)に示すような画素配列で蓄積されている。

【0062】出力制御部340の読み出し制御信号に基づいて第2のメモリ300から読み出された画素データ $R_{n+1}, G_{n+1}, B_{n+1}$ がNTSC方式の映像信号に変換されるまでの動作は上述のGストライプRB完全市松フィルタの場合と同じであり、説明を省く。

【0063】なお、上記信号処理は、水平走査線方向の画素データに対して説明したが、垂直方向の画素データに対しても同様の信号処理ができる。

【0064】このようにこの実施例では、カメラ1の撮像素子12が高解像度のCCDである場合に、そのCCDに結像された高解像度の被写体像の画素数をNTSC方式のモニタ装置に表示できる画素数に変換するムービー処理部20を有している。

【0065】本発明を電子スチルカメラに適用し、GストライプRB完全市松色フィルタ配列あるいはRGBストライプ色フィルタ配列からなる横1280×縦1024ドット構成の高解像度CCDに結像した画像をNTSC方式のモニタ装置に表示できる特定の処理回路について説明したが、本発明は、ベイヤ色フィルタ配列、インタライン色フィルタ配列、GストライプRB市松色フィルタ配列、あるいは斜めストライプ色フィルタ配列などの高解像度CCDに結像した画像を、PAL方式のモニタ装置、SECAM方式のモニタ装置、525/60方式のRGBモニタ装置、625/50方式のRGBモニタ装置、あるいはこれら上記モニタ装置の解像度よりも低い解像度のモニタ装置に効果的に適用することができる。

【0066】

【発明の効果】このように本発明によれば、電子スチルカメラにおいて、このカメラが高解像度の撮像手段を有している場合、この高解像度の撮像手段にて得られた画素データをNTSC方式のような標準解像度のモニタ装置あるいはそれよりも低い低解像度のモニタ装置に実時間で表示できる画素データに変換する処理手段を設けたから、一般に使用されている標準解像度のモニタ装置に高解像度の撮像手段にて得られた被写体像を表示できる効果がある。本発明はとくに、高解像度で撮像する電子スチルカメラに効果的に適用される。また、高解像度のモニタ装置を用いないですむからモニタのシステム価格を安くできるとともに、モニタのスペースを小さくできる効果がある。さらに、この処理手段は、高解像度の撮像手段にて得られた被写体像を歪みの少ない被写体像の画素データに変換するから、このカメラの撮像者は、たとえば正確な方向から撮像できる効果がある。さらにま

た、カメラとモニタとを離して使用するシステムではとくに、撮像者は、モニタにより歪みの少ない被写体像を実時間で見るができるから、効果的に被写体へのカメラの角度などを遠隔操作ができる。

【図面の簡単な説明】

【図1】本発明が適用される電子スチルカメラの一実施例を示すブロック図である。

【図2】図1に示した電子スチルカメラに適用するムービー処理部の一例を示すブロック図である。

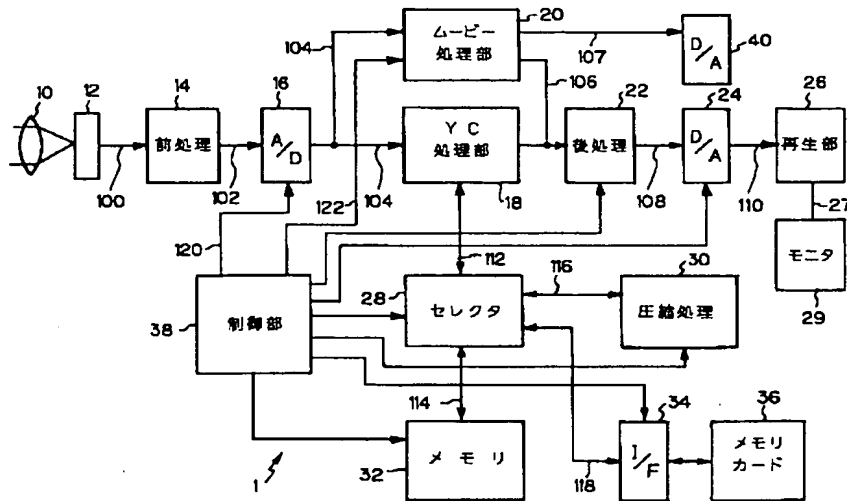
10 【図3】GストライプRB完全市松色フィルタ配列による高解像度CCDからの画素データを受け図2に示すムービー処理部が行う信号処理例を示す説明図である。

【図4】RGBストライプ色フィルタ配列による高解像度CCDからの画素データを受け図2に示すムービー処理部が行う信号処理例を示す説明図である。

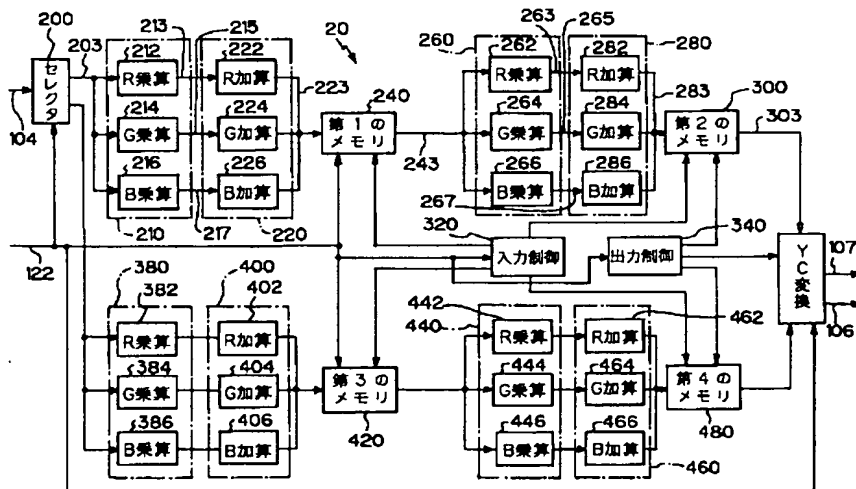
【符号の説明】

- 1 電子スチルカメラ
- 10 撮像レンズ
- 12 撮像素子
- 20 前処理回路
- 16 アナログディジタル変換器(A/D)
- 18 YC処理部
- 20 ムービー処理部
- 22 後処理回路
- 24, 40 デジタルアナログ変換器(D/A)
- 26 再生部
- 28, 200 セレクタ
- 30 圧縮処理部
- 32 メモリ
- 30 34 インタフェース(I/F)
- 36 メモリカード
- 38 制御部
- 210 第1の乗算器
- 220 第1の加算器
- 240 第1のメモリ
- 260 第2の乗算器
- 280 第2の加算器
- 300 第2のメモリ
- 320 入力制御部
- 40 340 出力制御部
- 360 YC変換器
- 480 第4のメモリ

【図1】



【図2】



【図 3】

(a)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1	R ₁	G ₁	B ₁	G ₂	R ₂	G ₃	B ₂	G ₄	R ₃	G ₅	B ₃	G ₆	R ₄	G ₇	B ₄	G ₈
2	B ₁	G ₁	R ₁	G ₂	B ₂	G ₃	R ₂	G ₄	B ₃	G ₅	R ₃	G ₆	B ₄	G ₇	R ₄	G ₈
3	R ₁	G ₁	B ₁	G ₂	R ₂	G ₃	B ₂	G ₄	R ₃	G ₅	B ₃	G ₆	R ₄	G ₇	B ₄	G ₈
4	B ₁	G ₁	R ₁	G ₂	B ₂	G ₃	R ₂	G ₄	B ₃	G ₅	R ₃	G ₆	B ₄	G ₇	R ₄	G ₈

(b)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1	R ₁	G ₁	B ₁	G ₂	R ₂	G ₃	B ₂	G ₄	R ₃	G ₅	B ₃	G ₆	R ₄	G ₇	B ₄	G ₈
2	R ₁	G ₁	B ₁	G ₂	R ₂	G ₃	B ₂	G ₄	R ₃	G ₅	B ₃	G ₆	R ₄	G ₇	B ₄	G ₈

(c)

	1	2	3	4	5	6	7	8
1	R ₁₁	G ₁₁	B ₁₁	G ₂₂	R ₂₂	G ₃₃	B ₂₂	G ₄₄
2	R ₁₁	G ₁₁	B ₁₁	G ₂₂	R ₂₂	G ₃₃	B ₂₂	G ₄₄

(d)

	1	2	3	4	5	6	7	8
1	R ₁₁₁	R ₂₂₂	R ₃₃₃	R ₄₄₄	R ₅₅₅	R ₆₆₆	R ₇₇₇	R ₈₈₈
	G ₁₁₁	G ₂₂₂	G ₃₃₃	G ₄₄₄	G ₅₅₅	G ₆₆₆	G ₇₇₇	G ₈₈₈
	B ₁₁₁	B ₂₂₂	B ₃₃₃	B ₄₄₄	B ₅₅₅	B ₆₆₆	B ₇₇₇	B ₈₈₈
2	R ₁₁₁	R ₂₂₂	R ₃₃₃	R ₄₄₄	R ₅₅₅	R ₆₆₆	R ₇₇₇	R ₈₈₈
	G ₁₁₁	G ₂₂₂	G ₃₃₃	G ₄₄₄	G ₅₅₅	G ₆₆₆	G ₇₇₇	G ₈₈₈
	B ₁₁₁	B ₂₂₂	B ₃₃₃	B ₄₄₄	B ₅₅₅	B ₆₆₆	B ₇₇₇	B ₈₈₈

【図 4】

(a)

	1	2	3	4	5	6	7	8	9	10	11	12
1	R ₁	G ₁	B ₁	R ₂	G ₂	B ₂	R ₃	G ₃	B ₃	R ₄	G ₄	B ₄
2	R ₁	G ₁	B ₁	R ₂	G ₂	B ₂	R ₃	G ₃	B ₃	R ₄	G ₄	B ₄
3	R ₁	G ₁	B ₁	R ₂	G ₂	B ₂	R ₃	G ₃	B ₃	R ₄	G ₄	B ₄
4	R ₁	G ₁	B ₁	R ₂	G ₂	B ₂	R ₃	G ₃	B ₃	R ₄	G ₄	B ₄

(b)

	1	2	3	4	5	6	7	8	9	10	11	12
1	R ₁	G ₁	B ₁	R ₂	G ₂	B ₂	R ₃	G ₃	B ₃	R ₄	G ₄	B ₄
2	R ₁	G ₁	B ₁	R ₂	G ₂	B ₂	R ₃	G ₃	B ₃	R ₄	G ₄	B ₄

(c)

	1	2	3	4	5	6
1	R ₁₁	G ₁₁	B ₁₁	R ₂₂	G ₂₂	B ₂₂
2	R ₁₁	G ₁₁	B ₁₁	R ₂₂	G ₂₂	B ₂₂

(d)

	1	2	3	4	5	6
1	R ₁₁₁	R ₂₂₂	R ₃₃₃	R ₄₄₄	R ₅₅₅	R ₆₆₆
	G ₁₁₁	G ₂₂₂	G ₃₃₃	G ₄₄₄	G ₅₅₅	G ₆₆₆
	B ₁₁₁	B ₂₂₂	B ₃₃₃	B ₄₄₄	B ₅₅₅	B ₆₆₆
2	R ₁₁₁	R ₂₂₂	R ₃₃₃	R ₄₄₄	R ₅₅₅	R ₆₆₆
	G ₁₁₁	G ₂₂₂	G ₃₃₃	G ₄₄₄	G ₅₅₅	G ₆₆₆
	B ₁₁₁	B ₂₂₂	B ₃₃₃	B ₄₄₄	B ₅₅₅	B ₆₆₆